

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 7月11日

出 願 番 号
Application Number:

特願2002-202466

[ST.10/C]:

[JP2002-202466]

出 願 人
Applicant(s):

セイコーエプソン株式会社

2003年 5月 6日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3032002

【書類名】 特許願

【整理番号】 J0091746

【提出日】 平成14年 7月11日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/02
H01L 27/00

【発明の名称】 半導体装置の製造方法、半導体素子部材、電気光学装置、及び電子機器

【請求項の数】 18

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 近藤 貴幸

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100089037

 【弁理士】

 【氏名又は名称】 渡邊 隆

【代理人】

 【識別番号】 100064908

 【弁理士】

 【氏名又は名称】 志賀 正武

【選任した代理人】

 【識別番号】 100110364

 【弁理士】

 【氏名又は名称】 実広 信哉

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9910485

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法、半導体素子部材、電気光学装置、及び電子機器

【特許請求の範囲】

【請求項 1】 基板上に犠牲層を介して半導体素子を有した機能層を形成し、前記犠牲層をエッチングすることによって前記機能層を該基板から剥離する工程を備えた、半導体装置の製造方法において、

前記犠牲層として N 型の $\text{Al}(\text{x}1)\text{Ga}(1-\text{x}1)\text{As}$ 層を形成し、

前記機能層を $\text{Al}(\text{x}2)\text{Ga}(1-\text{x}2)\text{As}$ 系の半導体層（ただし、 $\text{x}1 > \text{x}2$ とする）から形成し、

前記犠牲層のエッチング液として濃度が 5 重量％以下、0.01 重量％以上の塩酸またはフッ酸を用い、

前記エッチング液による前記犠牲層のエッチングを、該犠牲層に光を照射しつつ行う

ことを特徴とする半導体装置の製造方法。

【請求項 2】 前記の N 型の $\text{Al}(\text{x}1)\text{Ga}(1-\text{x}1)\text{As}$ 層からなる犠牲層における $\text{x}1$ と、前記の $\text{Al}(\text{x}2)\text{Ga}(1-\text{x}2)\text{As}$ 系の半導体層からなる機能層における $\text{x}2$ とが、 $\text{x}1 - \text{x}2 \geq 0.1$ の関係を満足する

ことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記の N 型の $\text{Al}(\text{x}1)\text{Ga}(1-\text{x}1)\text{As}$ 層からなる犠牲層における $\text{x}1$ が、0.95 以上である

ことを特徴とする請求項 1 又は 2 記載の半導体装置の製造方法。

【請求項 4】 前記の N 型の $\text{Al}(\text{x}1)\text{Ga}(1-\text{x}1)\text{As}$ 層からなる犠牲層における $\text{x}1$ が、1.0 である

ことを特徴とする請求項 3 記載の半導体装置の製造方法。

【請求項 5】 前記基板における前記機能層側の面にフィルムを貼り付けておき、その状態のもとで、前記基板における前記半導体素子を有した機能層を、該基板から剥離する

ことを特徴とする請求項 1～4 のいずれかに記載の半導体装置の製造方法。

【請求項 6】 前記半導体素子は、発光ダイオード、面発光レーザ、フォト・ダイオード、高電子移動度トランジスタ、インダクター、キャパシター、抵抗及びヘテロバイポーラ・トランジスタの内の少なくとも一つを有する

ことを特徴とする請求項 1～5 のいずれかに記載の半導体装置の製造方法。

【請求項 7】 前記機能層側に分離溝を形成しておき、その状態のもとで前記犠牲層をエッチングし、前記基板から前記機能層を剥離する、

ことを特徴とする請求項 1～6 のいずれかに記載の半導体装置の製造方法。

【請求項 8】 前記分離溝は、ドライエッチング及びウエットエッチングのいずれかの方法で形成される

ことを特徴とする請求項 7 記載の半導体装置の製造方法。

【請求項 9】 前記分離溝は、少なくとも前記犠牲層に到達する深さを有する

ことを特徴とする請求項 7 又は 8 記載の半導体装置の製造方法。

【請求項 10】 前記分離溝に前記エッチング液を注入し前記犠牲層をエッチングすることにより、前記機能層を前記基板から剥離する、

ことを特徴とする請求項 9 記載の半導体装置の製造方法。

【請求項 11】 前記基板から剥離された半導体素子を有する機能層を、前記基板とは異なる第 2 基板に接合する

ことを特徴とする請求項 1～10 のいずれかに記載の半導体装置の製造方法。

【請求項 12】 前記基板とは異なる第 2 基板が、シリコン、石英、サファイヤ、金属、セラミックス及びプラスチックフィルム of のいずれかからなる基板である

ことを特徴とする請求項 11 記載の半導体装置の製造方法。

【請求項 13】 前記基板とは異なる第 2 基板に接合された前記機能層の半導体素子を、該第 2 基板上に形成された回路と接続する

ことを特徴とする請求項 11 又は 12 に記載の半導体装置の製造方法。

【請求項 14】 請求項 1～13 のいずれかに記載の製造方法によって得られた半導体装置を備えた

ことを特徴とする半導体素子部材。

【請求項 1 5】 請求項 1 ～ 1 4 のいずれかに記載の製造方法によって得られた半導体装置を備えた

ことを特徴とする電気光学装置。

【請求項 1 6】 前記電気光学装置は、マトリクス状に形成された複数の走査線及び複数のデータ線と、前記走査線とデータ線に接続されたスイッチング手段と、前記スイッチング手段に接続された画素電極とを有する

ことを特徴とする請求項 1 5 記載の電気光学装置。

【請求項 1 7】 前記電気光学装置は、発光素子を有する

ことを特徴とする請求項 1 5 記載の電気光学装置。

【請求項 1 8】 請求項 1 5 ～ 1 7 のいずれかに記載の電気光学装置を備えた

ことを特徴とする電子機器。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置の製造方法、及びこの製造方法によって得られた半導体装置を備えた半導体素子部材、電気光学装置、及び電子機器に関する。

【0 0 0 2】

【従来の技術】

シリコン半導体基板上に、ガリウム・ヒ素系（GaAs系）やアルミニウム・ガリウム・ヒ素系（AlGaAs系）等の面発光レーザ（VCSEL）、フォトダイオード（PD）、又は高電子移動度トランジスタ（HEMT）などを設けたり、液晶ディスプレイ（LCD）の各画素の薄膜トランジスタ（TFT）の代わりに微小シリコントランジスタをガラス基板へ貼り付けるというような、半導体素子を材質の異なる基板上に形成する技術が考えられている。

【0 0 0 3】

このような材質の異なる半導体を有する集積回路としては、オプトエレクトロニクス集積回路（OEIC）が挙げられる。オプトエレクトロニクス集積回路は、光による入出力手段を備えた集積回路であり、集積回路内での信号処理は電気

信号を用いて行うものの、集積回路の外との入出力については光信号を用いて行うよう構成されたものである。

【 0 0 0 4 】

ところで、コンピュータでは、集積回路の内部構造の微細化により、CPU内部の動作速度（動作クロック）が年々向上している。しかし、バスにおける信号伝達速度はほぼ限界に達しつつあり、コンピュータの処理速度のボトルネックとなっている。このバスにおける信号伝達を光信号で行うことができれば、コンピュータの処理速度の限界を著しく高めることが可能となる。これを実現するためには、シリコンで作られる集積回路に微小な発光・受光素子を内蔵させる必要がある。

【 0 0 0 5 】

しかしながら、シリコンは、間接遷移型半導体であるため発光することができない。そこで、シリコンと、シリコンとは別の半導体発光素子とを組み合わせ、集積回路を構成することが必要となる。

半導体発光素子として有望なものは、ガリウム・ヒ素（GaAs）やアルミニウム・ガリウム・ヒ素（AlGaAs）などの化合物半導体からなる面発光レーザ（VCSEL）がある。しかし、このような面発光レーザは、シリコンと格子整合しないため、エピタキシーなどの半導体プロセスによって直接にシリコン集積回路上に形成することが非常に困難である。

通常、面発光レーザは、ガリウム・ヒ素基板上に形成される。そこで、この基板上に形成した面発光レーザをチップ化し、このチップを機械的にシリコン集積回路基板に実装することで、電気信号伝達回路と光信号伝達回路とを融合する方法が考えられている。

【 0 0 0 6 】

【発明が解決しようとする課題】

ところで、前記面発光レーザは、ガリウム・ヒ素基板上にエピタキシャル膜としてアルミニウム・ガリウム・ヒ素層を形成し、このアルミニウム・ガリウム・ヒ素層を用いて形成される。そこで、このような面発光レーザなどの半導体素子をチップ化する方法としては、基板と半導体素子との間に犠牲層を形成しておき

、この犠牲層をエッチングすることにより、前記半導体素子を基板から切り離す、エピタキシャルリフトオフと称される方法が考えられている。

【0007】

例えばアルミニウム・ガリウム・ヒ素は、その組成を $Al(x)Ga(1-x)As$ とすると、 Al 組成が高く x が 1 に近づくに連れて、 HF （フッ酸）や HCl （塩酸）に対するエッチングレートが増大する。このような性質を利用し、これを犠牲層として用いることにより、前記のエピタキシャルリフトオフで半導体素子を基板から切り離すことが可能となるのである。

【0008】

しかしながら、半導体素子を形成する層をアルミニウム・ガリウム・ヒ素系とした場合、前記の犠牲層の組成については $Al(x)Ga(1-x)As$ において最大でも $x = 1.0$ 、すなわち $AlAs$ にしかならない。したがって、半導体素子を形成する層の Al 組成が高くなると、犠牲層との間で十分な選択比が確保できなくなり、結果として、エッチングによって基板上の半導体素子にダメージを与えてしまう。例えば、半導体素子として面発光レーザを形成した場合、この面発光レーザを構成する層の一部に $x = 0.9$ 程度の Al 組成の層を使用するため、特に問題になってしまう。

【0009】

本発明は前記事情に鑑みてなされたもので、その目的とするところは、特に半導体素子を有する層（機能層）として $AlGaAs$ 系のものを用いた場合に、より良好な選択比を確保することができ、これにより半導体素子へのダメージを防止した、半導体装置の製造方法、及びこの製造方法によって得られた半導体装置を備えた半導体素子部材、電気光学装置、電子機器を提供することにある。

【0010】

【課題を解決するための手段】

前記目的を達成するため本発明の半導体装置の製造方法では、基板上に犠牲層を介して半導体素子を有した機能層を形成し、前記犠牲層をエッチングすることによって前記機能層を該基板から剥離する工程を備えた、半導体装置の製造方法において、

前記犠牲層としてN型の $\text{Al}(\text{x}1)\text{Ga}(1-\text{x}1)\text{As}$ 層を形成し、

前記機能層を $\text{Al}(\text{x}2)\text{Ga}(1-\text{x}2)\text{As}$ 系の半導体層（ただし、 $\text{x}1 > \text{x}2$ とする）から形成し、

前記犠牲層のエッチング液として濃度が5重量%以下、0.01重量%以上の塩酸またはフッ酸を用い、

前記エッチング液による前記犠牲層のエッチングを、該犠牲層に光を照射しつつ行うことを特徴としている。

この製造方法によれば、例えば半導体素子を有する機能層として Al の組成が高い層を使用している場合にも、犠牲層として機能層より Al の組成が高く Ga の組成が低いN型の $\text{Al}(\text{x}1)\text{Ga}(1-\text{x}1)\text{As}$ 層を用い、エッチング液として希塩酸を用いて、光を照射しつつ犠牲層をエッチングすることにより、十分に高い選択比を確保することができる。したがって、半導体素子にダメージを与えることなく、良好にエピタキシャルリフトオフを行うことができる。

【0011】

また、前記半導体装置の製造方法においては、前記のN型の $\text{Al}(\text{x}1)\text{Ga}(1-\text{x}1)\text{As}$ 層からなる犠牲層における $\text{x}1$ と、前記の $\text{Al}(\text{x}2)\text{Ga}(1-\text{x}2)\text{As}$ 系の半導体層からなる機能層における $\text{x}2$ とが、 $\text{x}1 - \text{x}2 \geq 0.1$ の関係を満足するのが好ましい。

さらに、前記半導体装置の製造方法においては、N型の $\text{Al}(\text{x}1)\text{Ga}(1-\text{x}1)\text{As}$ 層からなる犠牲層における $\text{x}1$ が、0.95以上であるのが好ましく、1.0であるのがより好ましい。

このようにすれば、より高い選択比を確保することができることにより、半導体素子へのダメージをより確実に防止することができる。

【0012】

また、前記半導体装置の製造方法においては、前記基板における前記機能層側の面にフィルムを貼り付けておき、その状態のもとで、前記基板における前記半導体素子を有した機能層を、該基板から剥離するのが好ましい。

このようにすれば、半導体素子を有する機能層のみを、微小タイル形状として基板から切り取り、フィルムにマウントしてハンドリングすることができ、した

がって半導体素子を個別に選択して第2基板に接合できるとともに、ハンドリングできる半導体素子のサイズを従来の実装技術のものよりも小さくすることができる。

【 0 0 1 3 】

また、前記半導体装置の製造方法においては、前記半導体素子が、発光ダイオード、面発光レーザ、フォト・ダイオード、高電子移動度トランジスタ、インダクター、キャパシター、抵抗及びヘテロバイポーラ・トランジスタの内の少なくとも一つを有しているのが好ましい。

【 0 0 1 4 】

また、前記半導体装置の製造方法においては、前記機能層側に分離溝を形成しておき、その状態のもとで前記犠牲層をエッチングし、前記基板から前記機能層を剥離するのが好ましい。なお、この分離溝については、ドライエッチング及びウエットエッチングのいずれかの方法で形成するのが好ましい。

このようにすれば、半導体素子が形成される基板上の機能層について、分離溝の部分を除いた全ての面積が半導体素子として利用可能になる。

【 0 0 1 5 】

また、前記分離溝については、少なくとも前記犠牲層に到達する深さを有するのが好ましく、その場合に、前記分離溝に前記エッチング液を注入し前記犠牲層をエッチングすることにより、前記機能層を前記基板から剥離するのが好ましい。

このようにすれば、分離溝にエッチング液を注入することで、分離溝から犠牲層にエッチング液を送ることが可能になり、したがって犠牲層を確実にエッチングすることができる。

【 0 0 1 6 】

また、前記半導体装置の製造方法においては、前記基板から剥離された半導体素子を有する機能層を、前記基板とは異なる第2基板に接合するのが好ましい。なお、前記半導体基板とは異なる基板としては、シリコン、石英、サファイヤ、金属、セラミックス及びプラスチックフィルム of のいずれかからなる基板であるのが好ましい。

また、前記基板とは異なる第 2 基板に接合された前記機能層の半導体素子を、該第 2 基板上に形成された回路と接続するのが好ましい。

このようにすれば、前記基板とは異なる第 2 基板に回路を形成しておき、この回路と前記機能層の半導体素子とを電氣的に接続することにより、複合的な機能を有する半導体装置を製造することができる。

【 0 0 1 7 】

本発明の半導体素子部材では、前記製造方法によって得られた半導体装置を備えたことを特徴としている。

この半導体素子部材によれば、良好なエピタキシャルリフトオフによってダメージなく形成された半導体素子からなる半導体装置を備えているので、高い信頼性を有したものとなる。

【 0 0 1 8 】

本発明の電気光学装置では、前記の製造方法によって得られた半導体装置を備えたことを特徴としている。なお、この電気光学装置としては、マトリクス状に形成された複数の走査線及び複数のデータ線と、前記走査線とデータ線に接続されたスイッチング手段と、前記スイッチング手段に接続された画素電極とを有するものであるのが好ましく、あるいは、発光素子を有するものであるのが好ましい。

この電気光学装置によれば、良好なエピタキシャルリフトオフによってダメージなく形成された半導体素子からなる半導体装置を備えているので、高い信頼性を有したものとなる。

【 0 0 1 9 】

本発明の電子機器では、前記電気光学装置を備えたことを特徴としている。

この電子機器によれば、前記電気光学装置を備えているので、高い信頼性を有した良好なものとなる。

【 0 0 2 0 】

【発明の実施の形態】

以下、本発明の半導体装置の製造方法の一実施形態について、図面を参照して説明する。なお、本実施形態では、面発光レーザとなる化合物半導体デバイス（

化合物半導体素子) をシリコン・L S I チップ上に接合する場合について説明するが、本発明はこれに限定されることなく、任意の種類の半導体デバイスやL S I チップに適用することができる。

【0021】

<第1工程>

第1工程では、まず、図1に示すようにガリウム・ヒ素 (GaAs) 化合物半導体からなる基板10を用意する。次に、エピタキシャル成長を行い、その表層部にエピタキシャル膜 (図示せず) を形成する。ここで、このエピタキシャル膜の最下位層には厚さ数百nm程度の犠牲層11を形成する。この犠牲層11は、本実施形態ではN型のAl (x1) Ga (1-x1) As層 (アルミニウム・ガリウム・ヒ素層) とする。この犠牲層11の形成に際し、これをN型にするためのドーパントとしては、Si (シリコン) やSe (セレン) などが用いられる。

【0022】

また、この犠牲層11の上には、厚さ1μmから10 (20) μm程度の機能層12を形成しておき、さらにこの機能層12に、面発光レーザ (VCSEL) となる半導体デバイス (半導体素子) 13を作製する。機能層12については、複数のエピタキシャル膜が積層されて形成されるものとするが、基本的にはAl (x2) Ga (1-x2) As系 (アルミニウム・ガリウム・ヒ素系) の半導体層からなるものとする。ここで、この機能層12を形成する半導体層と前記犠牲層11とについては、特に式中のx1とx2とが異なるようにする。具体的には、 $x1 > x2$ 、すなわち犠牲層11の方が機能層12に比べAl組成が高くなるように形成する。半導体デバイス (半導体素子) 13を面発光レーザとする場合、例えばそのDBR (Distributed Bragg Reflector) を形成する層はx2が0.9程度となることから、x1については0.95以上、好ましくは1.0とする。なお、本実施形態では $x2 = 1.0$ 、すなわち犠牲層11を形成するN型のAl (x1) Ga (1-x1) As層は、N型のAlAs層 (アルミニウム・ヒ素層) であるものとする。

【0023】

前記半導体デバイス13については、前述したように複数のエピタキシャル膜

を積層することにより、素子に形成するものとし、電極も形成してその動作テストも行っておく。

【 0 0 2 4 】

< 第 2 工程 >

第 2 工程では、図 2 に示すように各半導体デバイス 1 3 を分割するようにして、機能層 1 2 側に分離溝 2 1 を形成する。分離溝 2 1 は、少なくとも犠牲層 1 1 に到達する深さをもつ溝とする。例えば、分離溝の幅及び深さともに、 $10\mu\text{m}$ から数百 μm とする。また、分離溝 2 1 は、後述するエッチング液が該分離溝 2 1 を流れるように、行き止まりなく繋がっている溝とする。さらに、分離溝 2 1 は、碁盤の目のごとく格子状に形成するのが好ましい。

【 0 0 2 5 】

また、分離溝 2 1 相互の間隔を数十 μm から数百 μm とすることで、分離溝 2 1 によって分割・形成される各半導体デバイス 1 3 のサイズを、数十 μm から数百 μm 四方の面積をもつものとする。分離溝 2 1 の形成方法としては、フォトリソグラフィとウェットエッチングによる方法、またはフォトリソグラフィとドライエッチングによる方法を採用することができる。なお、クラックが基板 1 0 に生じない範囲で、U 字形溝のダイシングによって分離溝 2 1 を形成するようにしてもよい。

【 0 0 2 6 】

分離溝 2 1 の形成において、ウェットエッチングでは硫酸系エッチング液が使用でき、ドライエッチングでは塩素ガスが使用できる。また、分離溝 2 1 はパターン寸法が大きく精度を必要としないので、エッチングマスクについてはフォトリソグラフィによって形成しなくてもよい。例えば、エッチングマスクとしてオフセット印刷などによるものも使用可能である。また、分離溝 2 1 の形成においては、基板 1 0 の結晶方位に対する分離溝 2 1 の方位も重要となる。

【 0 0 2 7 】

< 第 3 工程 >

第 3 工程では、図 3 に示すように基板 1 0 の機能層 1 2 側の面（半導体デバイス 1 3 側の面）に中間転写フィルム 3 1 を貼り付ける。中間転写フィルム 3 1 と

しては、一方の面に粘着剤が塗着されたフレキシブルなものが用いられる。

【 0 0 2 8 】

< 第 4 工程 >

第 4 工程では、図 4 に示すように分離溝 2 1 にエッチング液 4 1 を注入し、犠牲層 1 1 を選択的にエッチングする。このとき、基板 1 0 の表面あるいは裏面に対して、例えばハロゲンランプ（図示せず）から波長 1 . 5 μ m 以下の光を照射する。

本工程では、犠牲層 1 1 のみを選択的にエッチングするため、エッチング液 4 1 として、アルミニウム・ヒ素に対して選択性が高い希塩酸、具体的には 5 重量 % 以下、0 . 0 1 重量 % 以上の希塩酸が用いられる。5 重量 % を越えると、選択比が低くなるとともに取り扱い性が悪くなり、また 0 . 0 1 重量 % 未満では、エッチングレートが低くなって好ましくない。なお、エッチング液 4 1 として低濃度のフッ酸を使用することもできるが、塩酸の方が選択性の点で優れているため、塩酸を用いるのが好ましい。

【 0 0 2 9 】

このようなエッチング液 4 1 を用い、光を照射しつつエッチングを行うと、そのメカニズムについては明らかではないものの、後述する実験例に示すように機能層 1 2 に対して十分に高い選択比を確保することができる。したがって、所定時間エッチングを続けることにより、機能層 1 2 に形成された半導体デバイス 1 3 にダメージを与えることなく、犠牲層 1 1 を選択的にエッチングすることができる。

なお、光照射用のランプとしては、ハロゲンランプに限定されることなく、これより短波長の光を照射できるものなど、任意のものを使用することができる。

【 0 0 3 0 】

< 第 5 工程 >

このようにして光照射を併用したエッチングを所定時間行い、図 5 に示すように犠牲層 1 1 すべてが選択的にエッチングされたら、この第 5 工程では、分離溝 2 1 及び犠牲層 1 1 のあった部位に純水を注入し、リンスを行う。

【 0 0 3 1 】

＜第 6 工程＞

犠牲層 1 1 が全てエッチングされると、機能層 1 2 は基板 1 0 から分離したものとなる。そこで、犠牲層 1 1 を全てエッチングし、さらにリンスを行ったら、この第 6 工程では、中間転写フィルム 3 1 を基板 1 0 から引き離すことにより、図 6 に示すように中間転写フィルム 3 1 に貼着されている機能層 1 2 を基板 1 0 から引き離す。

【 0 0 3 2 】

このようにすることにより、半導体デバイス 1 3 が形成された機能層 1 2 は、分離溝 2 1 及び犠牲層 1 1 のエッチングによって分割され、所定の形状（例えば、微小タイル形状）の半導体素子（以下、「微小タイル状素子 6 1」と称する）となり、中間転写フィルム 3 1 に貼着保持されたものとなる。ここで、微小タイル状素子 6 1 としては、その厚さが例えば $1\ \mu\text{m}$ から $8\ \mu\text{m}$ 、大きさ（縦横）が例えば数十 μm から数百 μm であるのが好ましい。

なお、機能層 1 2 が剥離された基板 1 0 については、半導体デバイスの形成に再利用することが可能である。また、犠牲層 1 1 及び機能層 1 2 を予め複数層ずつ形成しておき、前述の第 1 工程から第 6 工程を繰り返すことにより、基板 1 0 によって「微小タイル状素子 6 1」を繰り返し作製することもできる。

【 0 0 3 3 】

＜第 7 工程＞

第 7 工程では、図 7 に示すように微小タイル状素子 6 1 を貼着した中間転写フィルム 3 1 を移動させ、第 2 基板 7 1 の所望の位置に微小タイル状素子 6 1 をアライメントする。第 2 基板 7 1 は、シリコン半導体からなるもので、LSI 領域 7 2 を形成したものである。この LSI 領域 7 2 は、各種の半導体素子を含む回路を形成したものである。また、第 2 基板 7 1 の所望の位置には、微小タイル状素子 6 1 を接着するための接着剤 7 3 を予め塗布しておく。

【 0 0 3 4 】

＜第 8 工程＞

第 8 工程では、図 8 に示すように第 2 基板 7 1 の所定の位置にアライメントされた微小タイル状素子 6 1 を、中間転写フィルム 3 1 越しにコレット 8 1 で押し

つけ、第2基板71に接合する。ここで、所定の位置には前述したように接着剤73が塗布されているので、微小タイル状素子61はこの第2基板71の所定の位置に接着固定される。なお、本工程では、第2基板71への微小タイル状素子61の固定方法として接着剤を用いたが、他の固定方法を用いてもよい。

【0035】

<第9工程>

なお、第6工程の直後に、中間転写フィルム31の粘着力を消失させて、微小タイル状素子61から中間転写フィルム31を剥がしておく。

ここで、中間転写フィルム31の粘着剤としては、UV硬化性又は熱硬化性のものを用いておく。そして、第6工程の直後に、中間転写フィルム31を全面紫外線照射するなどして粘着力を全面消失させておく。粘着力が消失したとはいえ実際には僅かに粘着性が残り、また微小タイル状素子61は非常に薄く軽いため、微小タイル状素子61は中間転写フィルム31に貼着された状態が保持される。また、UV硬化性の粘着剤を用いた場合には、コレット81を透明な材質にしておき、コレット81の端面（底面）から紫外線（UV）を照射（透過）することにより、中間転写フィルム31の粘着力を消失させるようにしてもよい。一方、熱硬化性の接着剤を用いた場合には、コレット81を加熱することにより、中間転写フィルム31の粘着力を消失させるようにすることができる。

このように予め微小タイル状素子61から中間転写フィルム31を剥がしておくことにより、この第9工程では、図9に示すように微小タイル状素子61が第2基板71の所定位置に移行する。

【0036】

<第10工程>

第10工程では、加熱処理などによって前記接着剤73を硬化させ、微小タイル状素子61を第2基板71に本接合する。

【0037】

<第11工程>

第11工程では、図10に示すように微小タイル状素子61の電極と第2基板71上の回路を配線91により電氣的に繋ぎ、一つのLSIチップを完成させる

。

第2基板71としては、シリコン半導体のみならず、石英、サファイヤ、金属、セラミックス及びプラスチックフィルムのいずれかからなる基板を用いてもよい。シリコン半導体を第2基板71とした場合には、CCD（電荷結合素子）を有する基板としてもよい。石英などのガラス基板を第2基板71とした場合には、これを液晶ディスプレイ（LCD）、有機EL装置等のディスプレイに利用することができる。また、プラスチックフィルムを第2基板71とした場合には、これを液晶ディスプレイ、有機エレクトロ・ルミネッセンス・パネル、又はICフィルムパッケージなどに利用することができる。

【0038】

このような製造方法によれば、犠牲層11として機能層12よりA1の組成が高くGaの組成が低いN型のA1（x1）Ga（1-x1）As層を用い、エッチング液として希塩酸を用いて、光を照射しつつ犠牲層11をエッチングしたので、十分に高い選択比を確保することができる。したがって、半導体デバイス13にダメージを与えることなく、良好にエピタキシャルリフトオフを行うことができ、これにより機能層12を基板10から良好に剥離することができる。

【0039】

また、半導体デバイス13を、従来のモノリシックプロセスでは製造困難な組み合わせの第2基板71（半導体基板）上に、あたかもモノリシック的に形成することが可能となる。

すなわち、シリコン半導体基板上に、ガリウム・ヒ素製の面発光レーザ、フォトダイオード又は高電子移動度トランジスタなどを設けたり、液晶ディスプレイの各画素の薄膜トランジスタ（TFT）の代わりに微小シリコントランジスタをガラス基板へ貼り付けるといような、半導体素子を材質の異なる基板上に形成する場合、従来では、ハイブリッドプロセスで作製していた。

図17は従来のハイブリッド集積回路の一例を示す模式斜視図であり、この図に示すようにシリコンLSIチップ111はLSI領域112を有している。そして、シリコンLSIチップ111の表面には、フォトダイオードチップ101a、面発光レーザチップ101b及び高電子移動度トランジスタチップ101c

が接合されている。ここで、従来の実装技術では、ハンドリングできるチップサイズが（厚さ数十 μm ×面積数百 μm 角）が限界となっている。したがって、フォトダイオードチップ101a、面発光レーザチップ101b及び高電子移動度トランジスタチップ101cのサイズは、（厚さ数十 μm ×面積数百 μm 角）以上となる。

【0040】

これに対し、本実施形態の製造方法によれば、前述したように半導体デバイス13（微小タイル状素子61）を、図11に示すように第2基板71（半導体基板）上にあたかもモノリシック的に形成することができる。すなわち、図11において第2基板71であるシリコンLSIチップは、LSI領域72を有している。そして、第2基板71の表面には、フォトダイオードタイル61a、面発光レーザタイル61b、及び高速動作トランジスタ（MESFET、HBT、HEMTを含む）61cが接合されている。なお、HBTとは、化合物半導体ヘテロバイポーラである。ここで、フォトダイオードタイル61a、面発光レーザタイル61b、及び高速動作トランジスタ61cは、微小タイル状素子61として前記実施形態の製造方法で作製され接合されたものである。したがって、これらフォトダイオードタイル61a、面発光レーザタイル61b、及び高速動作トランジスタ61cのサイズは、（厚さ数 μm ×面積数十 μm 角）にすることが可能となる。

そこで、本実施形態の製造方法によれば、モノリシックで形成した場合と同程度の小さいサイズの半導体素子（微小タイル状素子61）を、任意の種類の基板（例えば、シリコン、石英、サファイヤ、金属、セラミックス及びプラスチックフィルムなどの基板）上に形成することが可能となるのである。

【0041】

また、本実施形態の製造方法によれば、半導体基板（基板10）上で半導体デバイス13（半導体素子）を完成させてから、微小タイル状素子61に加工するので、形成した半導体デバイス13については予め動作テストを行っておくことにより、良否を選別しておくことができる。

また、微小タイル状素子61を作製するためのもとの半導体基板（基板10）

については、分離溝 2 1 の部分を除き全て半導体デバイス 1 3（微小タイル状素子 6 1）として利用することができる。したがって、半導体基板（基板 1 0）の利用面積効率を高めることができ、製造コストを低減することができる。

【 0 0 4 2 】

また、微小タイル状素子 6 1 をフレキシブルな中間転写フィルム 3 1 にマウントするようにしたので、各微小タイル状素子 6 1 を選択して第 2 基板 7 1 に接合することができる。

また、微小タイル状素子 6 1 を半導体素子として完成した状態で第 2 基板 7 1 に接合するので、接合後に複雑な半導体プロセスを必要としなくなる。したがって、微小タイル状素子 6 1 の第 2 基板 7 1 への接合後に、第 2 基板 7 1 の全体を処理する必要がないので、製造プロセスの無駄を低減することができる。

また、微小タイル状素子 6 1 の第 2 基板 7 1 への接合後に、複雑な半導体プロセスを必要としないので、その微小タイル状素子 6 1 の接合方法の制約が緩くなり、例えば低耐熱性の接合方法を採用することも可能となる。

【 0 0 4 3 】

なお、前記実施形態では、機能層 1 2 に形成する半導体デバイス 1 3 を面発光レーザとしたが、本発明はこれに限定されることなく、発光ダイオード（LED）、フォトダイオード（PD）、高電子移動度トランジスタ（HEMT）、ヘテロバイポーラトランジスタ（HBT）などとしてもよく、また、これらと前記面発光レーザとのうちの複数種を形成するようにしてもよい。

【 0 0 4 4 】

（応用例）

次に、本発明の半導体装置の製造方法を使用して作製された半導体素子部材の応用例について説明する。

第 1 の応用例としては、前記実施形態の方法を用いて、シリコン L S I 上に面発光レーザ（VCSEL）及びフォトダイオード（PD）を設ける。これにより、光パルスを用いてシリコン L S I の外部とデータを送受信することが可能となる。したがって、電気接続できない所とのデータの送受信が可能となるのみならず、電子信号で送受信した場合よりも高速に信号を送受信することが可能となる。

【 0 0 4 5 】

第 2 の応用例としては、前記実施形態の方法を用いて、シリコン L S I 上に高速動作トランジスタ（H B T）を設ける。そして、携帯電話などの構成部品として、H B T による高速アナログアンプをシリコン I C に内蔵させることで、配線長が短縮し、回路の高速動作が可能になる。また、微小タイル状素子 6 1 を作製する基板 1 0 については、分離溝 2 1 の部分を除き全て半導体デバイス 1 3 （微小タイル状素子 6 1）として利用できる。したがって、高価なガリウム・ヒ素基板の利用面積効率を高めることができ、製造コストを低減することができる。

【 0 0 4 6 】

第 3 の応用例としては、電気光学装置である液晶ディスプレイの各画素について、薄膜トランジスタ（T F T）の代わりに、本発明の製造方法を用いて微小シリコントランジスタを貼り付ける。

第 4 の応用例としては、電気光学装置である有機 E L（エレクトロ・ルミネッセンス）表示装置の各画素について、本発明の製造方法を用いて、薄膜トランジスタ（T F T）の代わりに、微小シリコントランジスタを貼り付ける。以下に、この電気光学装置の製造方法について詳細に説明する。

【 0 0 4 7 】

（電気光学装置）

以下、本実施形態の応用例に係る電気光学装置について、図 1 2 を参照しながら説明する。

図 1 2 において符号 1 は有機 E L 装置であり、この有機 E L 装置 1 は、光を透過可能な基板（光透過層）2 と、基板 2 の一方の面側に設けられ陰極（電極）7 と陽極（電極）8 との間に挟持された有機エレクトロルミネッセンス材料からなる発光層 5 及び正孔輸送層 6 からなる有機 E L 素子（発光素子）9 と、必要に応じて、基板 1 と有機 E L 素子 9 との間に積層されている低屈折率層 3 及び封止層 4 とを備えて構成されたものである。低屈折率層 3 は封止層 4 より基板 2 側に設けられている。

【 0 0 4 8 】

また、有機EL装置1のうち、有機EL素子9を挟んで封止層4と反対側の表面にも、電極7、8を含む有機EL素子9に対して大気が入るのを遮断する封止部材320が形成されている。

このような構成からなる有機EL装置1は、封止層4上にスパッタリングやイオンプレーティング、真空蒸着法などを用いて陽極8を形成し、さらに陽極8上に順次、正孔輸送層6、発光層5、陰極7を蒸着して積層することにより、製造される。

【0049】

ここで、図12に示す有機EL装置1は、発光層5からの発光を基板2側から装置外部に取り出す形態であり、基板2の形成材料としては、光を透過可能な透明あるいは半透明材料、例えば、透明なガラス、石英、サファイア、あるいはポリエステル、ポリアクリレート、ポリカーボネート、ポリエーテルケトンなどの透明な合成樹脂などが挙げられる。

一方、基板と反対側から発光を取り出す形態の場合には、基板は不透明であってもよく、その場合、アルミナ等のセラミック、ステンレス等の金属シートに表面酸化などの絶縁処理を施したものの、熱硬化性樹脂、熱可塑性樹脂などを用いることができる。

【0050】

陽極8は、インジウム錫酸化物（ITO：Indium Tin Oxide）等からなる透明電極である。正孔輸送層6は、例えば、トリフェニルアミン誘導体（TPD）、ピラゾリン誘導体、アリールアミン誘導体、スチルベン誘導体、トリフェニルジアミン誘導体等からなる。具体的には、特開昭63-70257号、同63-175860号公報、特開平2-135359号、同2-135361号、同2-209988号、同3-37992号、同3-152184号公報に記載されているもの等が使用されるが、トリフェニルジアミン誘導体が好ましく、中でも4, 4'-ビス（N（3-メチルフェニル）-N-フェニルアミノ）ビフェニルが好適とされる。

【0051】

なお、正孔輸送層に代えて正孔注入層を形成するようにしてもよく、さらに正

孔注入層と正孔輸送層を両方形成するようにしてもよい。その場合、正孔注入層の形成材料としては、例えば銅フタロシアニン (CuPc) や、ポリテトラヒドロチオフェニルフェニレンであるポリフェニレンビニレン、1, 1-ビス-(4-N, N-ジトリルアミノフェニル) シクロヘキサン、トリス (8-ヒドロキシキノリノール) アルミニウム等が挙げられるが、特に銅フタロシアニン (CuPc) を用いるのが好ましい。

【0052】

発光層5の形成材料としては、低分子の有機発光色素や高分子発光体、すなわち各種の蛍光物質や燐光物質などの発光物質、Alq₃ (アルミキレート錯体) などの有機エレクトロルミネッセンス材料が使用可能である。発光物質となる共役系高分子の中ではアリーレンビニレン又はポリフルオレン構造を含むものなどが特に好ましい。低分子発光体では、例えばナフタレン誘導体、アントラセン誘導体、ペリレン誘導体、ポリメチン系、キサテン系、クマリン系、シアニン系などの色素類、8-ヒドロキノリンおよびその誘導体の金属錯体、芳香族アミン、テトラフェニルシクロペンタジエン誘導体等、または特開昭57-51781、同59-194393号公報等に記載されている公知のものが使用可能である。

陰極7は、アルミニウム (Al) やマグネシウム (Mg)、金 (Au)、銀 (Ag) 等からなる金属電極である。

【0053】

なお、陰極7と発光層5との間に、電子輸送層や電子注入層を設けることができる。電子輸送層の形成材料としては、特に限定されることなく、オキサジアゾール誘導体、アントラキノジメタンおよびその誘導体、ベンゾキノンおよびその誘導体、ナフトキノンおよびその誘導体、アントラキノンおよびその誘導体、テトラシアノアンスラキノジメタンおよびその誘導体、フルオレノン誘導体、ジフェニルジシアノエチレンおよびその誘導体、ジフェノキノン誘導体、8-ヒドロキシキノリンおよびその誘導体の金属錯体等が例示される。具体的には、先の正孔輸送層の形成材料と同様に、特開昭63-70257号、同63-175860号公報、特開平2-135359号、同2-135361号、同2-209988号、同3-37992号、同3-152184号公報に記載されているもの

等が例示され、特に 2 - (4 - ビフェニル) - 5 - (4 - t - ブチルフェニル) - 1, 3, 4 - オキサジアゾール、ベンゾキノン、アントラキノン、トリス (8 - キノリノール) アルミニウムが好適とされる。

【 0 0 5 4 】

このような構成からなる有機 E L 装置 1 は、例えば図 1 3 に示すようなアクティブマトリクス型の表示装置 (電気光学装置) S 1 として用いられる。

この表示装置 S 1 は、回路図である図 1 3 に示すように基板上に、複数の走査線 1 3 1 と、これら走査線 1 3 1 に対して交差する方向に延びる複数の信号線 1 3 2 と、これら信号線 1 3 2 に並列に延びる複数の共通給電線 1 3 3 とがそれぞれ配線されたもので、走査線 1 3 1 及び信号線 1 3 2 の各交点毎に、画素 (画素領域素) A R が設けられて構成されたものである。

【 0 0 5 5 】

信号線 1 3 2 に対しては、シフトレジスタ、レベルシフタ、ビデオライン、アナログスイッチを備えるデータ線駆動回路 3 9 0 が設けられている。

一方、走査線 1 3 1 に対しては、シフトレジスタ及びレベルシフタを備える走査線駆動回路 3 8 0 が設けられている。また、画素領域 A R の各々には、走査線 1 3 1 を介して走査信号がゲート電極に供給される第 1 のトランジスタ 3 2 2 と、この第 1 のトランジスタ 3 2 2 を介して信号線 1 3 2 から供給される画像信号を保持する保持容量 c a p と、保持容量 c a p によって保持された画像信号がゲート電極に供給される第 2 のトランジスタ 3 2 4 と、この第 2 のトランジスタ 3 2 4 を介して共通給電線 1 3 3 に電氣的に接続したときに共通給電線 1 3 3 から駆動電流が流れ込む画素電極 3 2 3 と、この画素電極 (陽極) 3 2 3 と対向電極 (陰極) 2 2 2 との間に挟み込まれる発光部 (発光層) 3 6 0 とが設けられている。

【 0 0 5 6 】

ここで、第 1 のトランジスタ 3 2 2 及び第 2 のトランジスタ 3 2 4 は、前記の第 1 工程から第 1 1 工程で示した製造方法に基づいて、表示装置 S 1 の基板上に貼り付けられた微小シリコントランジスタである。

【 0 0 5 7 】

このような構成のもとに、走査線 1 3 1 が駆動されて第 1 のトランジスタ 3 2 2 がオンとなると、そのときの信号線 1 3 2 の電位が保持容量 c a p に保持され、該保持容量 c a p の状態に応じて、第 2 のトランジスタ 3 2 4 の導通状態が決まる。そして、第 2 のトランジスタ 3 2 4 のチャネルを介して共通給電線 1 3 3 から画素電極 3 2 3 に電流が流れ、さらに発光層 3 6 0 を通じて対向電極 2 2 2 に電流が流れることにより、発光層 3 6 0 は、これを流れる電流量に応じて発光するようになる。

【 0 0 5 8 】

(電子機器)

次に、前記実施形態の電気光学装置を備えた電子機器の例について説明する。

図 1 4 は、携帯電話の一例を示した斜視図である。図 1 4 において符号 1 0 0 0 は携帯電話本体を示し、符号 1 0 0 1 は前記の表示装置（電気光学装置）を用いた表示部を示している。

【 0 0 5 9 】

図 1 5 は、腕時計型電子機器の一例を示した斜視図である。図 1 5 において符号 1 1 0 0 は時計本体を示し、符号 1 1 0 1 は前記の表示装置（電気光学装置）を用いた表示部を示している。

【 0 0 6 0 】

図 1 6 は、ワープロ、パソコンなどの携帯型情報処理装置の一例を示した斜視図である。図 1 6 において符号 1 2 0 0 は情報処理装置、符号 1 2 0 2 はキーボードなどの入力部、符号 1 2 0 4 は情報処理装置本体、符号 1 2 0 6 は前記の表示装置（電気光学装置）を用いた表示部を示している。

【 0 0 6 1 】

図 1 4 から図 1 6 に示す電子機器は、前記表示装置（電気光学装置）を備えているので、高い信頼性を有した良好なものとなる。

また、前記実施形態の製造方法によって形成されることにより、従来のものに比べ小型化が可能となり、さらに、製造コストの低減化も可能になる。

【 0 0 6 2 】

なお、本発明の技術範囲は上記実施形態に限定されるものではなく、本発明の

趣旨を逸脱しない範囲において種々の変更を加えることが可能であり、実施形態で挙げた具体的な材料や層構成などはほんの一例に過ぎず、適宜変更が可能である。

【 0 0 6 3 】

(実験例)

$A l (x) G a (1-x) A s$ の組成からなる層を形成した試料として、以下の 4 種類を用意した。

- ・ N 型で $x = 0.9$ のアルミニウム・ガリウム・ヒ素層を形成した試料
- ・ P 型で $x = 0.9$ のアルミニウム・ガリウム・ヒ素層を形成した試料
- ・ N 型で $x = 1.0$ のアルミニウム・ヒ素層を形成した試料
- ・ P 型で $x = 1.0$ のアルミニウム・ヒ素層を形成した試料

また、エッチング液として、0.1 重量%の希塩酸を用意した。

【 0 0 6 4 】

前記 4 種類の各試料に対し、それぞれ前記のエッチング液を用いてエッチングを行った。このときのエッチング条件として、ハロゲンランプによる光照射を行う場合と、暗箱内にて光照射を行うことなく行う場合との 2 種類で行った。

このようにして、各条件のもとでエッチングを行い、各試料（各層）に対するエッチレート ($\mu m/min$) を調べた。得られた結果を表 1 に示す。

【 0 0 6 5 】

【表 1】

	光照射を行った場合の エッチングレート ($\mu\text{m}/\text{min}$)	光照射を行わなかった場合の エッチングレート ($\mu\text{m}/\text{min}$)
N型 $x=1.0$	1.3	0.3
P型 $x=1.0$	0.05	0.7
N型 $x=0.9$	0.01	0.01
P型 $x=0.9$	0.0065	0.03

【0 0 6 6】

表 1 に示した結果より、 $x=0.9$ の層に対する $x=1.0$ の層のエッチングレートの比、すなわちエッチング選択比を求めることができる。その結果を表 2 に示す。

【0 0 6 7】

【表 2】

	光照射を行った場合の 選択比	光照射を行わなかった場合の 選択比
N型 $x=1.0$ 対 N型 $x=0.9$	130	30
N型 $x=1.0$ 対 P型 $x=0.9$	200	10
P型 $x=1.0$ 対 N型 $x=0.9$	5	70
P型 $x=1.0$ 対 P型 $x=0.9$	7.7	23

【0068】

表 2 より、N型の $x=1.0$ の層は、希塩酸をエッチング液として光を照射しつつエッチングを行うと、N型 $x=0.9$ 、P型 $x=0.9$ のいずれの層に対しても 100 倍以上の選択比を持つことが分かった。

【0069】

A l G a A s 系材料の塩酸に対するエッチングレートは A l 組成 x の低下とともに減少することが知られている。したがって、N 型の $x = 1.0$ の層は、同条件下において A l 組成 $x = 0.9$ 以下の層に対しては当然 100 倍以上の選択比を持つ。一般に、犠牲層と機能層でエッチング選択比が 100 程度あれば、機能層にダメージを与えることなく犠牲層を選択的に除去できる。

前記実施形態で示した面発光レーザーのように最大 $x = 0.9$ の層を含む機能層に適用する場合、犠牲層として N 型の $x = 1.0$ の層を用い、希塩酸をエッチング液として光を照射しつつエッチングを行うことで機能層にほとんどダメージを与えることなく、犠牲層だけを選択的にエッチングすることが可能になる。

【0070】

エッチング液である塩酸またはフッ酸の濃度 5 重量%～0.01 重量%の範囲においても、同様の選択比を得ることができた。また、濃度を小さくするほど選択比が大きくなる傾向があることも分かったので、濃度範囲としては、3 重量%以下とするのが好ましい。また、濃度を低くするにしたがい、犠牲層のエッチングレートが小さくなるため、0.05 重量%以上とするのがより好ましい。

犠牲層としては、 $x = 1.0$ とするのがもっとも好ましい。また、たとえ $x < 1.0$ であっても、機能層に含まれる最大の A l 組成を持つ層に対して少なくとも 10% 以上高い A l 組成であれば、前述と同等の選択比を得ることができる。ただし、犠牲層の A l 組成をあまり下げるとエッチングレートが小さくなってしまい、エッチングに時間がかかるため、実用上は $x \geq 0.95$ とすることが好ましい。

【0071】

【発明の効果】

以上説明したように本発明によれば、機能層として A l の組成が高い層を使用している場合にも、犠牲層として機能層より A l の組成が高く G a の組成が低い N 型の A l ($x1$) G a ($1 - x1$) A s 層を用い、エッチング液として塩酸またはフッ酸を用いて、光を照射しつつ犠牲層をエッチングすることにより、十分に高い選択比を確保することができる。したがって、半導体素子にダメージを与えることなく、良好にエピタキシャルリフトオフを行うことができ、これにより

機能層を基板から良好に剥離することができる。

そして、このように基板上に形成した半導体素子を、例えば微小タイル形状にして該基板から剥離することができるので、この微小タイル形状に剥離された半導体素子を、任意の物体に接合して集積回路を形成することができる。

【図面の簡単な説明】

【図 1】 本発明における半導体装置の製造方法の一実施形態の、第 1 工程を説明するための要部側断面図である。

【図 2】 前記製造方法の一実施形態の、第 2 工程を説明するための要部側断面図である。

【図 3】 前記製造方法の一実施形態の、第 3 工程を説明するための要部側断面図である。

【図 4】 前記製造方法の一実施形態の、第 4 工程を説明するための要部側断面図である。

【図 5】 前記製造方法の一実施形態の、第 5 工程を説明するための要部側断面図である。

【図 6】 前記製造方法の一実施形態の、第 6 工程を説明するための要部側断面図である。

【図 7】 前記製造方法の一実施形態の、第 7 工程を説明するための要部側断面図である。

【図 8】 前記製造方法の一実施形態の、第 8 工程を説明するための要部側断面図である。

【図 9】 前記製造方法の一実施形態の、第 9 工程を説明するための要部側断面図である。

【図 1 0】 前記製造方法の一実施形態の、第 1 1 工程を説明するための要部側断面図である。

【図 1 1】 本発明の製造方法で作製した集積回路の一例を示す模式斜視図である。

【図 1 2】 本実施形態の電気光学装置の概略断面図である。

【図 1 3】 アクティブマトリクス型の表示装置を示す回路図である。

【図 1 4】 本発明の電気光学装置を備えた電子機器を携帯電話に適用した場合の一例を示す図である。

【図 1 5】 本発明の電気光学装置を備えた電子機器を腕時計型電子機器に適用した場合の一例を示す図である。

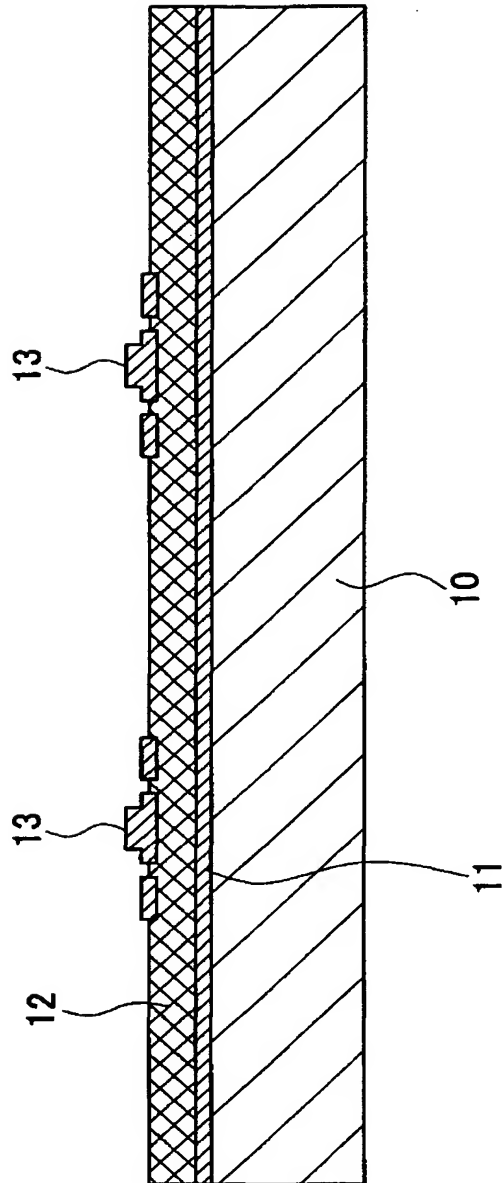
【図 1 6】 本発明の電気光学装置を備えた電子機器を携帯型情報処理装置に適用した場合の一例を示す図である。

【図 1 7】 従来のハイブリッド集積回路の一例を示す模式斜視図である。

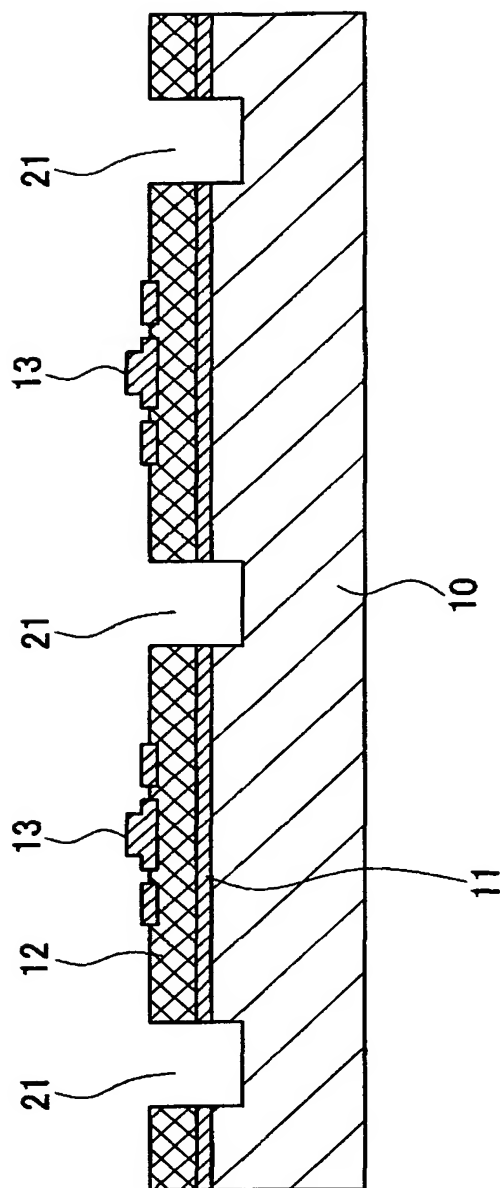
【符号の説明】

1 0 …基板、 1 1 …犠牲層、 1 2 …機能層、
1 3 …半導体デバイス（半導体素子）、 2 1 …分離溝、
3 1 …中間転写フィルム、 4 1 …エッチング液、 6 1 …微小タイル状素子、
7 1 …第 2 基板、 7 2 …L S I 領域、 9 1 …電氣的配線

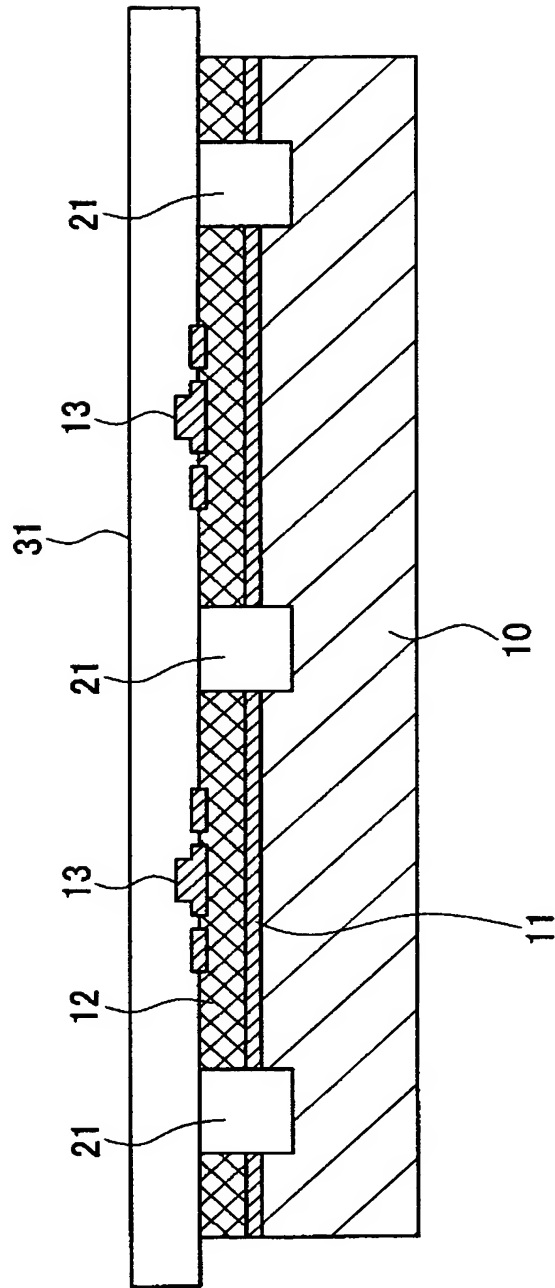
【書類名】 図面
【図 1】



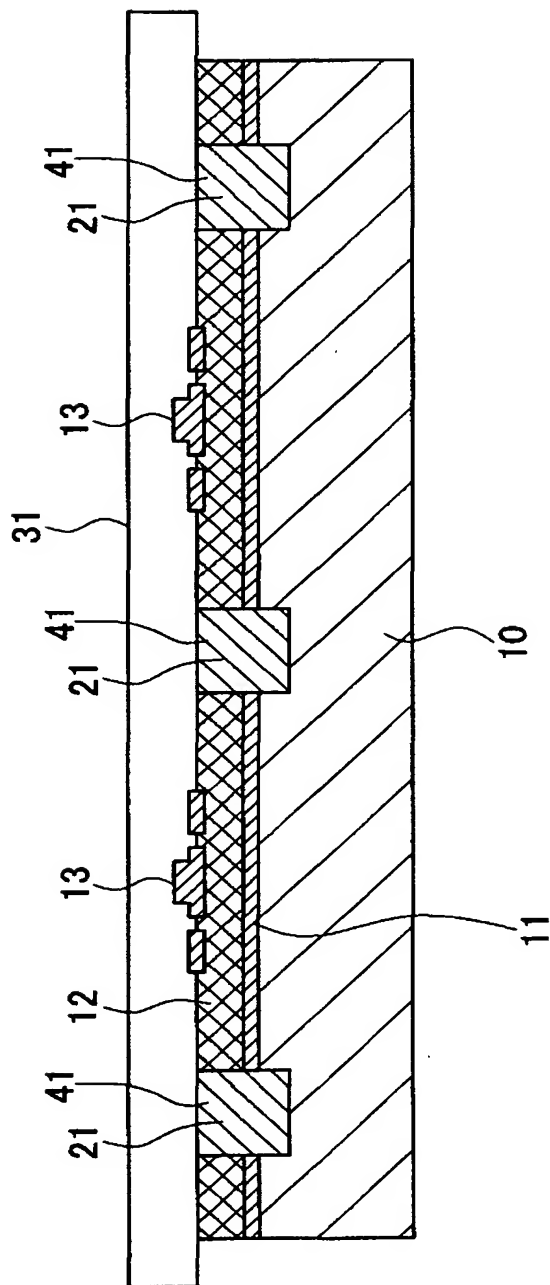
【図 2】



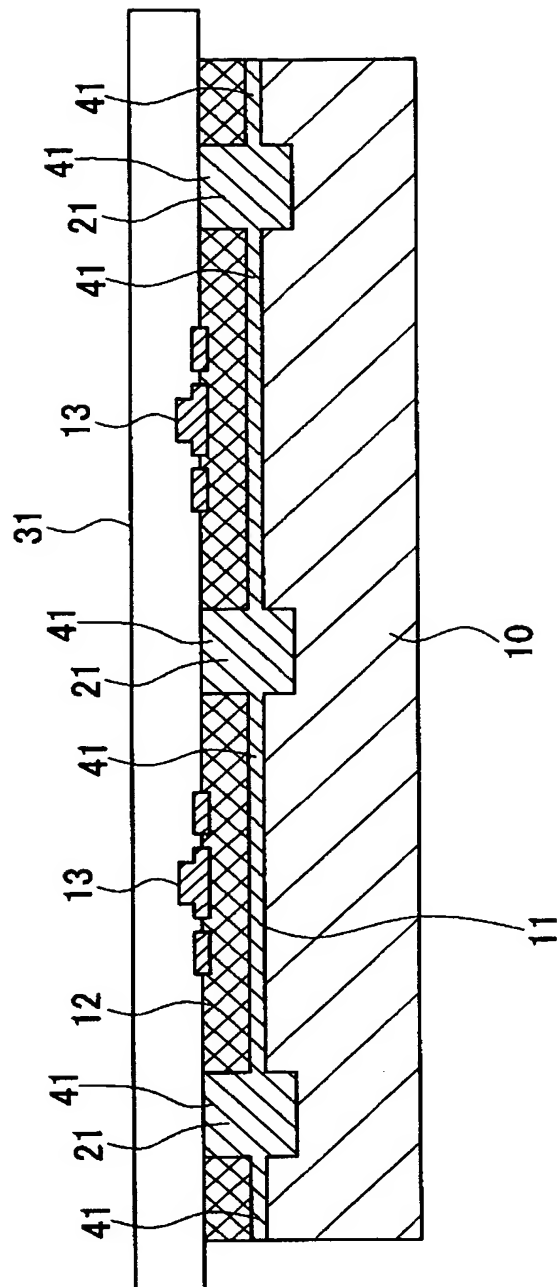
【図 3】



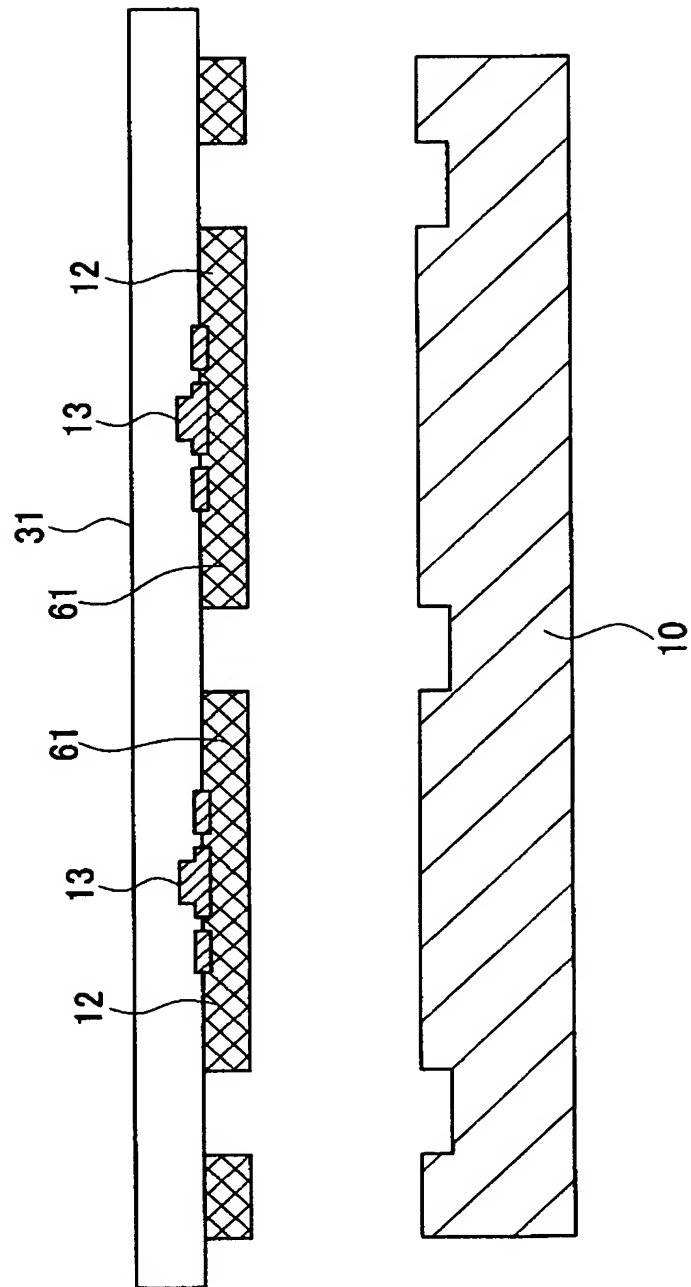
【図 4】



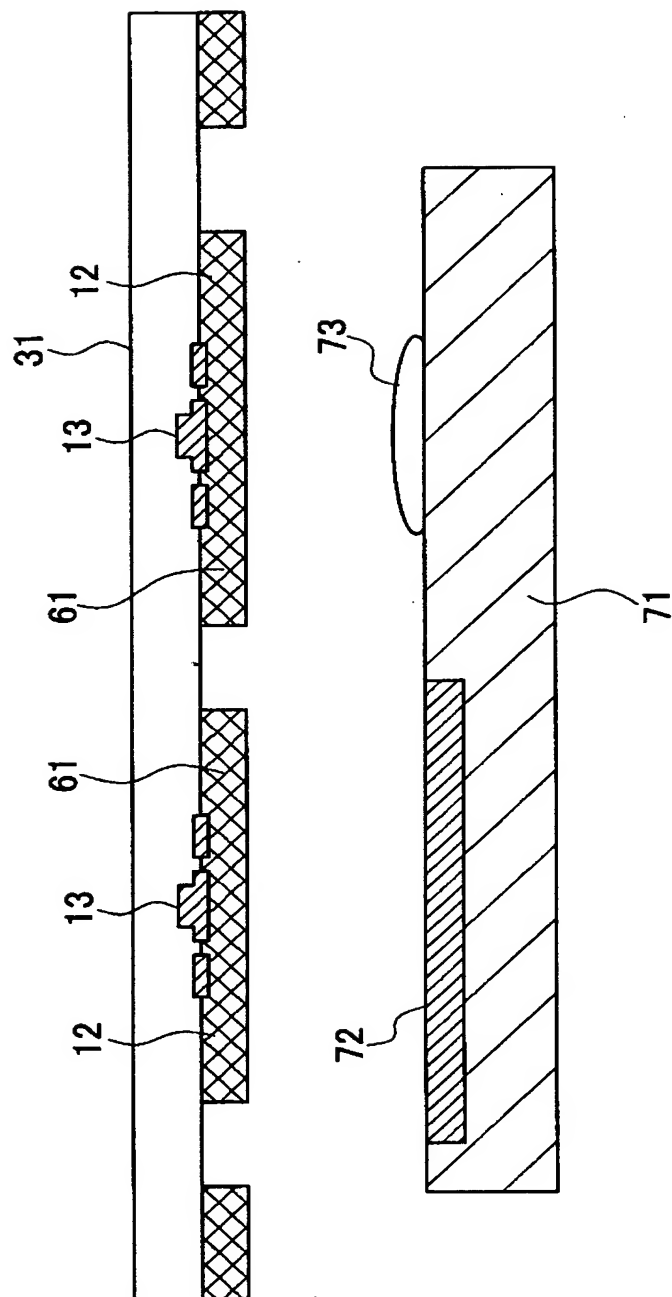
【図 5】



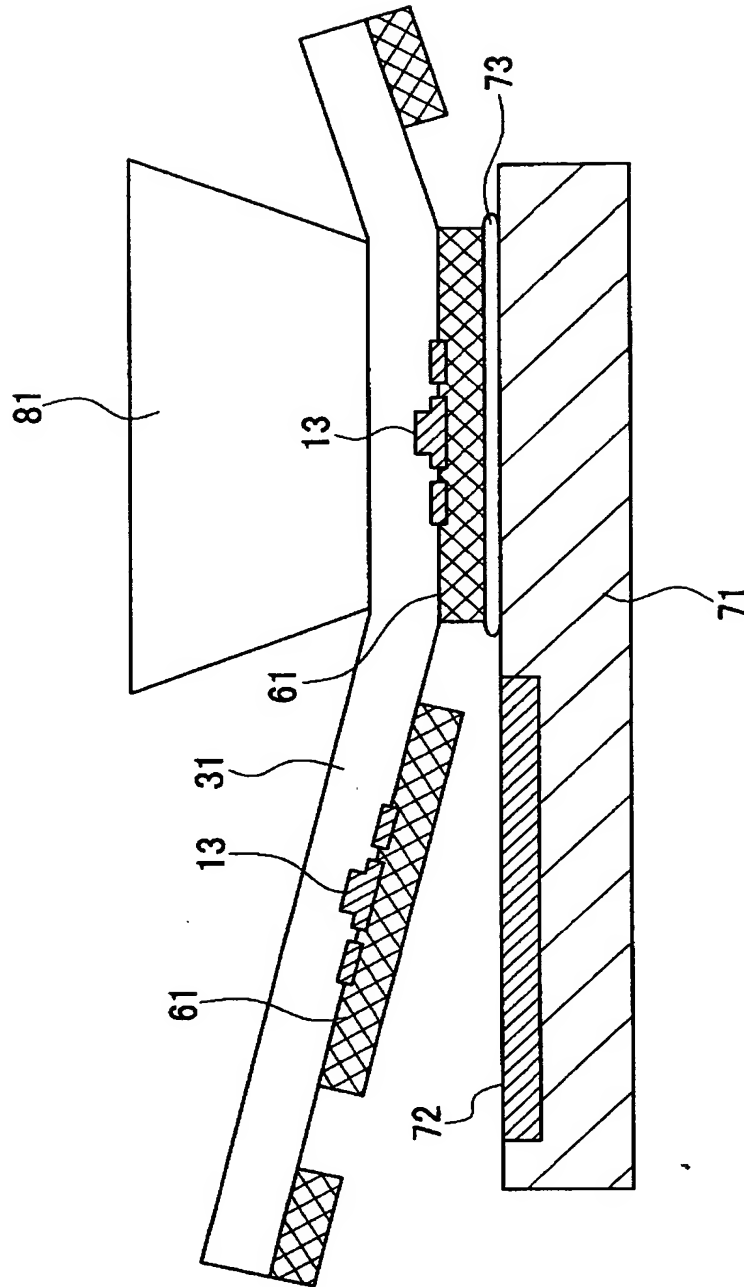
【図 6】



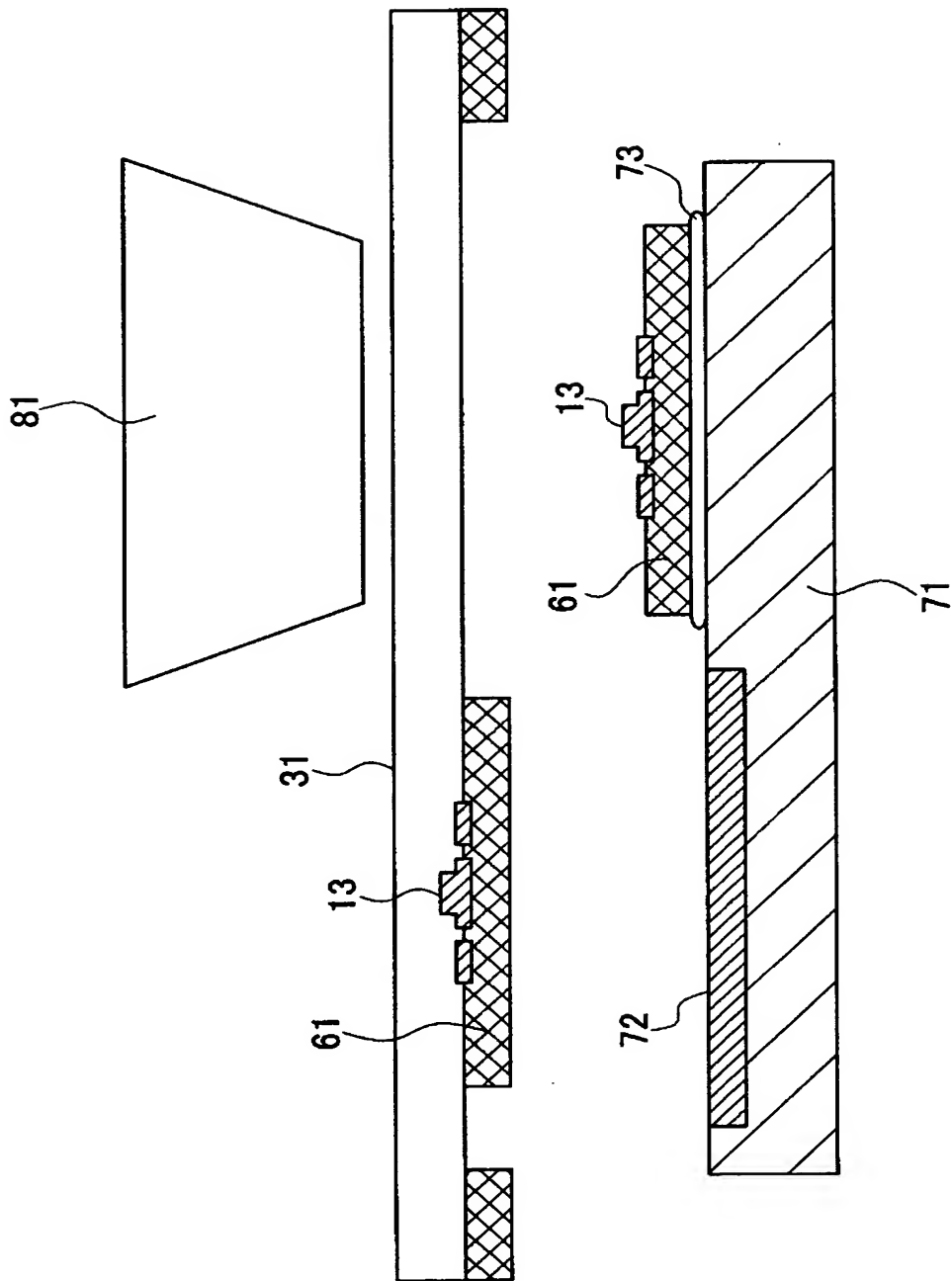
【図 7】



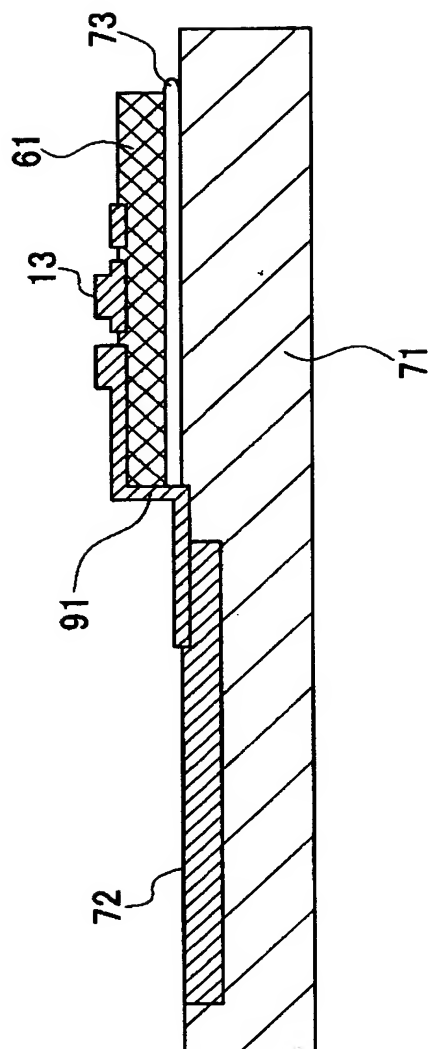
【图 8】



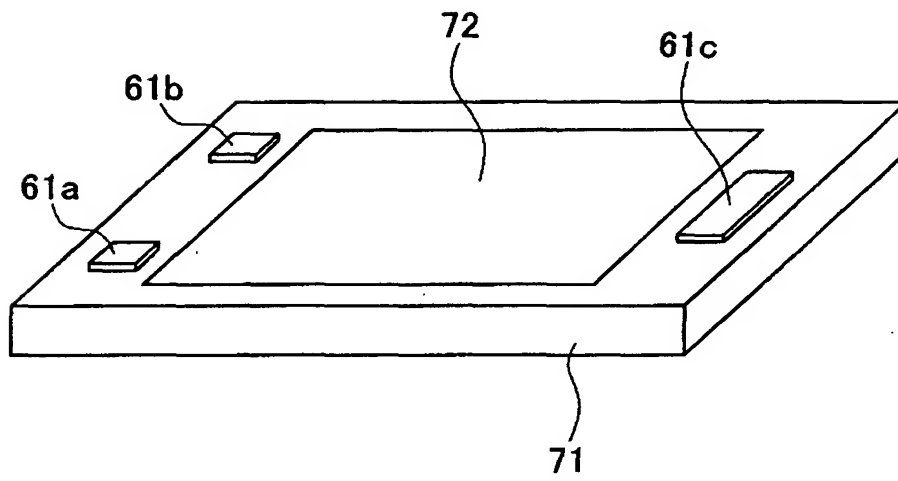
【図 9】



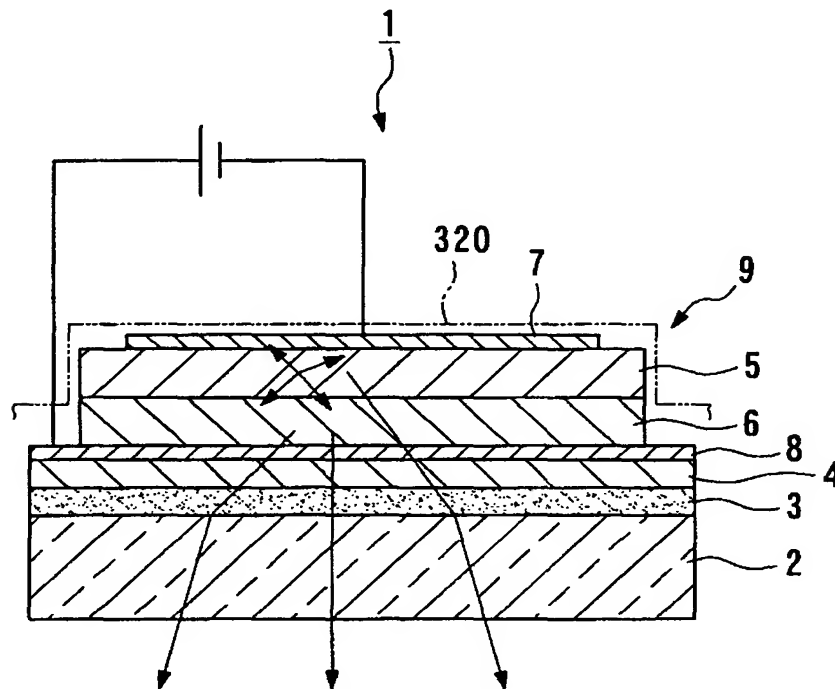
【図 1 0】



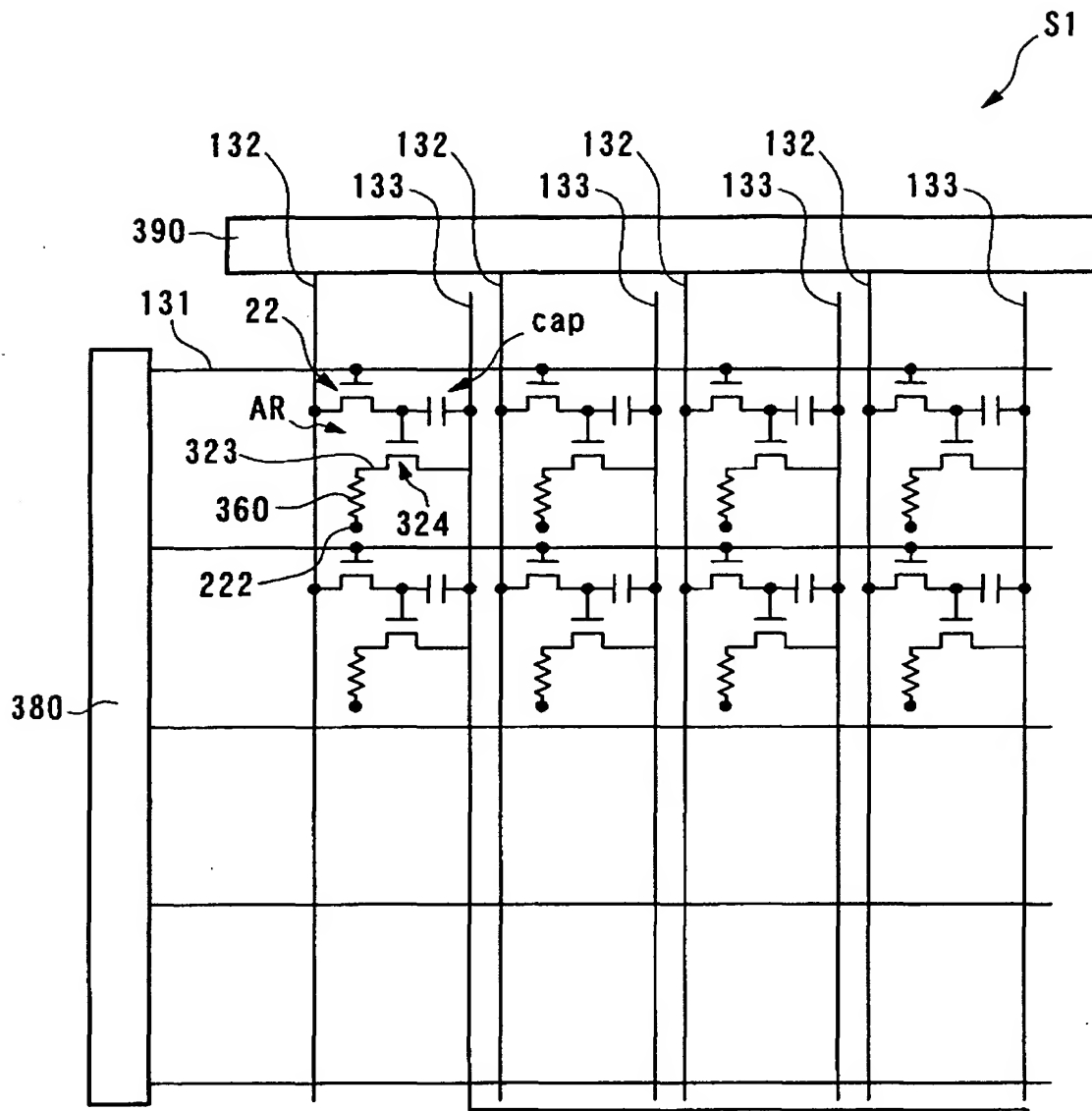
【図 1 1】



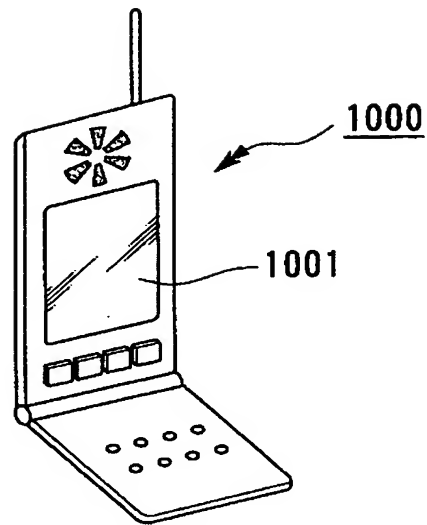
【図 1 2】



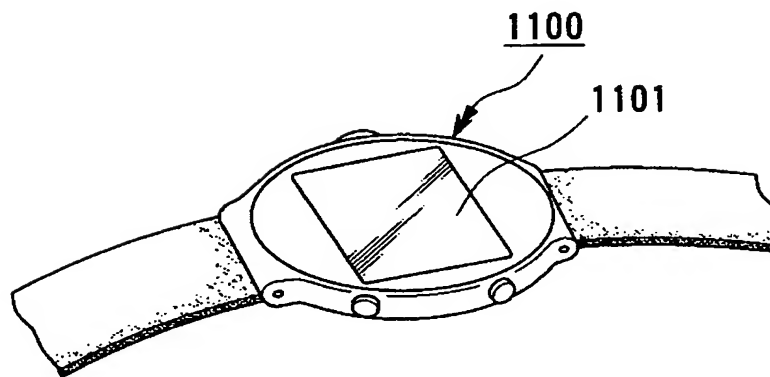
【図 1 3】



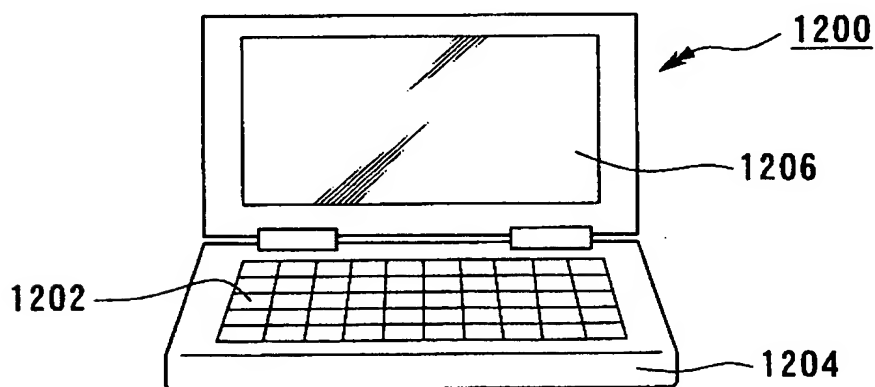
【図 14】



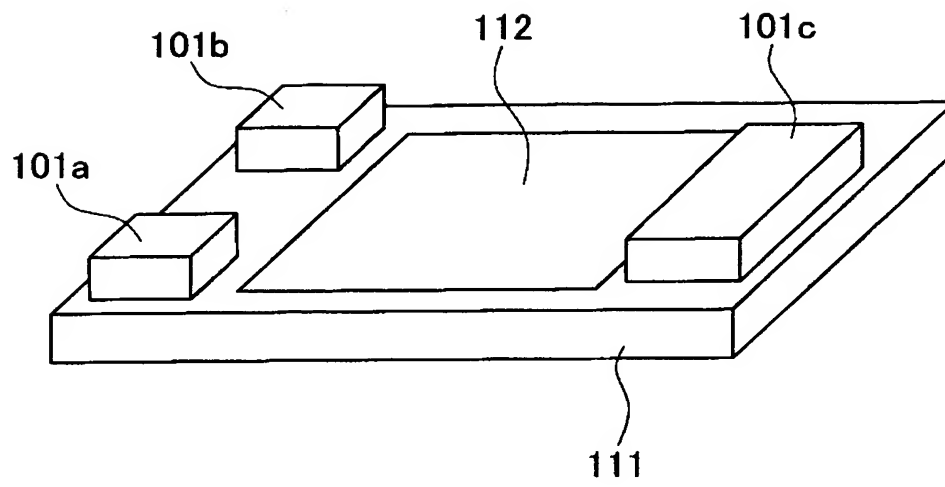
【図 15】



【図 16】



【図 1 7】



【書類名】 要約書

【要約】

【課題】 半導体素子を有する層として AlGaAs 系のものを用いた場合に、より良好な選択比を確保することができるようにした、半導体装置の製造方法、及び半導体素子部材、電気光学装置、電子機器を提供する。

【解決手段】 基板 10 上に犠牲層 11 を介して半導体素子 13 を有した機能層 12 を形成し、犠牲層 11 をエッチングすることによって機能層 12 を基板 10 から剥離する工程を備えた、半導体装置の製造方法である。犠牲層 11 として N 型の $\text{Al}(x_1)\text{Ga}(1-x_1)\text{As}$ 層を形成し、機能層 12 を $\text{Al}(x_2)\text{Ga}(1-x_2)\text{As}$ 系の半導体層（ただし、 $x_1 > x_2$ とする）から形成し、犠牲層 11 のエッチング液として濃度が 5 重量%以下、0.01 重量%以上の塩酸またはフッ酸を用い、エッチング液による犠牲層 11 のエッチングを、犠牲層 11 に光を照射しつつ行うようにした。

【選択図】 図 5

認定・付加情報

特許出願の番号	特願 2002-202466
受付番号	50201016223
書類名	特許願
担当官	笹川 友子 9482
作成日	平成 14 年 7 月 19 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000002369
【住所又は居所】	東京都新宿区西新宿 2 丁目 4 番 1 号
【氏名又は名称】	セイコーエプソン株式会社

【代理人】

申請人

【識別番号】	100089037
【住所又は居所】	東京都新宿区高田馬場 3 丁目 2 3 番 3 号 ORビ ル 志賀国際特許事務所
【氏名又は名称】	渡邊 隆

【代理人】

【識別番号】	100064908
【住所又は居所】	東京都新宿区高田馬場 3 丁目 2 3 番 3 号 ORビ ル 志賀国際特許事務所
【氏名又は名称】	志賀 正武

【選任した代理人】

【識別番号】	100110364
【住所又は居所】	東京都新宿区高田馬場 3 丁目 2 3 番 3 号 ORビ ル志賀国際特許事務所
【氏名又は名称】	実広 信哉

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 2 3 6 9]

1. 変更年月日 1 9 9 0 年 8 月 2 0 日
[変更理由] 新規登録
住 所 東京都新宿区西新宿 2 丁目 4 番 1 号
氏 名 セイコーエプソン株式会社